

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-150844

(43)Date of publication of application : 04.07.1987

(51)Int.Cl.

H01L 21/82

H01L 27/04

// H01L 27/08

(21)Application number : 60-290534

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.12.1985

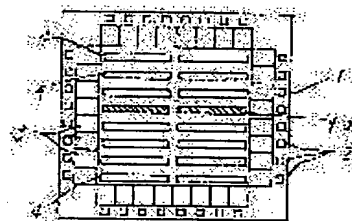
(72)Inventor : KAWASHIMA MASATOSHI

(54) LOGIC INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve the reliability of the operation of a master-slice LSI by arranging a special basic cell row substantially at the center of an LSI chip to form a gate circuit having a large drive force in a logic LSI.

CONSTITUTION: Basic cell rows 4, 4... which form a logic are regularly arranged on a rectangular region at the center of a chip surrounded by input/output buffer basic cells 3, 3... of a CMOS gate array. One row 4a at the center is composed of specific basic cells made of elements having larger width of gates than elements for forming other basic cell row. Buffers between blocks and clock drivers are formed of the specific cells. Thus, a large circuit having higher drive force than a normal circuit can be readily formed. Further, a clock skew is reduced to enhance the reliability of the operation of a master/slice LSI.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

リコン部8a, 8b, 8cが形成されてなる基本セル8が、該方向に一列に配設されてなる。また、上記図6, 5, 6およびポリシリコン層8a~8cの上方には、絶縁膜(図示省略)を介して電極となる配線パターン10a, 10bが列方向に沿って形成されている。

上記各基本セル内のトランジスタおよびセル間を、マスタスライス法により形成される信号線によって接続してやることにより、所望の論理機能を実現される。その場合、ロジックを構成する素子の中には、ブロック間バンプと呼ばれるゲート回路やクロックドライバと呼ばれる回路のようには、他の一般的な論理ゲート回路を構成する素子に比べて大きな駆動力を有することが要求されるものがある。このような駆動力の大きな回路には、大きな電流が流れることになるので、回路を構成する素子のサイズ(ゲート幅)を大きくしてやらなければならない。また、この素子に接続される電源ラインは、大電流によるエレクトロマイグレーションや電圧降下を防ぐために、電極配線パターン

ーンを太くする必要があり、しかしながら、上記のような従来のレイアウト方式では各部の基本セル列が同一の基本セルからなる。そのため、基本セル内のMOSトランジスタを複数個並列に使うことによって実効的にゲート幅を広くして、駆動力の大きなゲート回路を構成している。

また、電源配線パターン側については、これら特殊なセルに含せて太く設計するか、または通常のセルに含せて設計して、セルの動作に制約を加えるかする必要があり、そのため、チップサイズが必要以上に大きくなったり、所望の動作速度が得られなくなるといった不都合がある。また、従来のマスタスライスLSIで自動配線処理を行った場合には、クロックドライバがチップの隅に配置される可能性がある。そのような場合、クロックドライバに接続される各フリップフロップまでの距離に大きな差が生じ、クロックのスキューが発生し、回路が誤動作をおそれるという問題もあった。

にも、この特殊な基本セル列を、LSIチップのほぼ中央に配設してやるこれによって、チップサイズを増大させたり回路の動作に制約を加えることなく、通常の回路よりも駆動力のある大きな回路を構成できるようにするとともに、マスタスライスLSIの動作の信頼性を向上させるという上記目的を達成するものである。

【実施例】
第3図には、本発明をCMOSゲートアレイに適用した場合のレイアウト構成の一実施例が示されている。

この実施例のゲートアレイのレイアウトは、第1図に示す従来のゲートアレイにおけるレイアウトと略同である。すなわち、半導体チップ1の周縁にはボンディングパッド2, 2, ...が配設され、その内側には入出力バッファ用の基本セル3, 3, ...が配設されている。そして、この入出力バッファ用基本セル3, 3, ...によって構成されたチップ中央の足形領域に、ロジックを構成する基本セル列4, 4, ...が縦方向に配列され

【発明の目的】
この発明の目的は、チップサイズを増大させたり回路の動作に制約を加えることなく、通常の回路よりも駆動力のある大きな回路を構成できるとうな論理LSIのレイアウト方式を提供することにある。

この発明の他の目的は、マスタスライスLSIの動作の信頼性を向上させ得るようなレイアウト方式を提供することにある。

この発明の記載ならびにそのほかの目的と新規な特徴については、本明細書の記述および図面から明らかになるであろう。

【発明の概要】
本願において開示される発明のうち代換例もこの概要を説明すれば、下記のとおりである。すなわち、通常の論理ゲート回路を構成するための基本セルが配列されてなる基本セル列の値に、ブロック間バンプやクロックドライバのような駆動力の大きな回路を構成するための特殊な基本セルが配列されてなる特殊な基本セル列を設けると

① 日本国特許庁(JP) ② 特許出願公開
③ 公開特許公報(A) 昭62-150844
④ 特 願 昭60-290534
⑤ 出 願 昭60(1985)12月25日
⑥ 発 明 者 川 島 正 敏 青森市今井2326番地 株式会社日立製作所デバイス開発センター
⑦ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑧ 代 理 人 弁理士 小川 勝男 外1名
⑨ Int.Cl.⁴ 識別記号 庁内整理番号 ⑩ 公開 昭和62年(1987)7月4日
H 01 L 21/82 8526-5F
27/04 A-7514-5F
// H 01 L 27/08 1 0 2 審査請求 未請求 発明の数 1 (全4頁)

④ 発明の名称 論理集積回路装置

⑤ 特 願 昭60-290534
⑥ 出 願 昭60(1985)12月25日
⑦ 発 明 者 川 島 正 敏 青森市今井2326番地 株式会社日立製作所デバイス開発センター
⑧ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑨ 代 理 人 弁理士 小川 勝男 外1名

【要 旨】
レイアウト方式に適用して特に有効な技術に属し、例えばゲートアレイにおける基本セルのレイアウト方式に利用して有効な技術に属する。

【背景技術】
第1図に、ゲートアレイのようなマスタスライス方式の論理LSIのチップ全体のレイアウト構成を示す。すなわち、半導体チップ1の周縁にはボンディングパッド2, 2, ...が配設され、その内側には入出力バッファ用の基本セル3, 3, ...が配設されている。そして、この入出力バッファ用基本セル3, 3, ...によって構成されたチップ中央の足形領域に、ロジックを構成する基本セル列4, 4, ...が縦方向に配列されている。また、マスタスライス法によるセル間の信号線の形成に使用される。

各基本セル列4は、第2図に拡大して示すように、3個のMOSトランジスタを該方向に沿って形成可能な大きなサイズの図6, 5, 6とPウェル領域7が形成され、その上にゲート電極となるポリシリコン

【技術分野】
この発明は、半導体集積回路技術さらにはマスタスライス方式の論理集積回路における回路のレ

……ポリシリコン層 (ゲート電極)、9……基本セル、10a、10b……電源配線パターン。

代理人 井理士 小川啓男

に限定されるものではなく、その実態を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では本発明を、CMOSゲートアレイに適用したものであるが、ECISL (エミッタ・カップルド・ロジック) 回路を基本回路とするECISLゲートアレイその他マススライス方式の積層LSI一般に適用することができる。

図面の簡単な説明

図1図は、従来のゲートアレイにおけるセルのレイアウト方式の一例を示す平面図。

図2図は、基本セルの構成の一例を示す拡大平面図。

図3図は、本発明に係るゲートアレイにおけるセルのレイアウト方式の一例を示す平面図である。

1……半導体チップ、2……ボンディングパッド、3……入力バッファ用基本セル、4……基本セル列、5……特殊基本セル列、6……駆動層、7……Pウェル領域、8a～8c

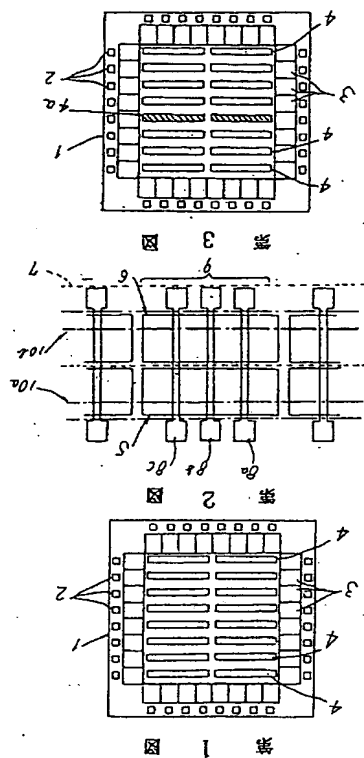


図 1 概

特開昭62-150844 (3)

配線パターンは、他の一般の基本セル列4の電源配線パターンよりも傾を大きくしてある。

各特殊基本セル4aを構成するCMOSトランジスタの数は、一般の基本セル9 (第2図参照) と同じく3個でもよいし、2個あるいは4個以上としてもよい。

この実施例のゲートアレイでは、中央部に配置された上記特殊基本セルを使って、ブロック間バッファやクロックドライバを構成することができ、その場合、一般に一つのゲートアレイで用いられるブロック間バッファやクロックドライバのような駆動の大きな回路の数はそれほど多くない。従って上記実施例のように特殊基本セル列4aは、一列あれば十分である。しかも全基本セル列4に、このような駆動力の大きな特殊セルを置く方式に比べて特殊セルの使用効率が良く、チップ面積の無駄が少なくなる。

また、上記実施例では、特殊基本セル列4aがチップの隅中央にある。従って、この特殊基本セル4aを使ってクロックドライバを構成すれば、

素子を並べて使用して駆動力を大きくしたり、また予めすべての電源配線パターンを駆動力の大きな回路にあわせて太くしておく必要がないという作用により、チップサイズを増大させたり回路の動作に遅延を加えることなく、通常の回路よりも駆動力の大きな回路を容易に構成することができるといふ効果がある。

(2) 通常の積層ゲートを構成するための基本セルからなる基本セル列の他に、ブロック間バッファやクロックドライバのような駆動力の大きな回路を構成するための特殊基本セルからなる特殊基本セル列を設けるとともに、この特殊基本セル列を、チップのほぼ中央に配置してなるので、特殊基本セルを使って構成したクロックドライバからクロック供給先の回路までの距離が平均化されるという作用により、クロックスキューが減少され、マスタスライスLSIの動作の信頼性が向上されるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例

ている。これらの基本セル列4、4、……の間の空白領域は、マスタスライス法によるセル間の信号線の形成に使用される。

各基本セル列4は、第2図に拡大して示すように、3個のMOSTトランジスタを縦方向に沿って形成可能な大きな駆動層5、8とPウェル領域7が形成され、その上にゲート電極ととなるポリシリコン層8a、8b、8cが形成されてなる基本セル9が、縦方向に一列に配置されてなる。また、上記駆動層5、8およびポリシリコン層8a～8cの上方には、絶縁層 (図示省略) を介して電源線となる配線パターン10a、10bが列方向に沿って形成されている。

しかし、この実施例では、矩形状のロジック形成面に配置された基本セル列4、4、……のうち、中央の一列 (図中斜線で示す列) 4aは他の基本セル列を構成する素子 (MOSTトランジスタ) よりもサイズ (ゲート層) の大きな素子からなる特殊基本セルによって構成されている。しかも、この特殊基本セル列4aに沿って配置される電源

クロックを供給すべきフリックアップのような回路が形成される場合には、それらの回路がチップ上にはばらばらに配置していても、クロックドライバから各フリックアップ回路までの距離のばらつきが小さく、その結果、クロックのスキューが小さくなって、回路の動作が生じにくくなるという利点がある。

なお、上記実施例では、各基本セル列4aがそれぞれ左右2つに分割されているが、そのような構成に限定されず、各セル列が左右連続した構成であってもよい。また、実施例では駆動力の大きな回路を構成するための特殊基本セル4aが一列だけ設けられているが、一列の半分または二列以上設けることも可能である。

【効果】

(1) 通常の積層ゲートを構成するための基本セルからなる基本セル列の他に、ブロック間バッファやクロックドライバのような駆動力の大きな回路を構成するための特殊基本セルからなる特殊基本セル列を設けてなるので、通常の基本セル内の